

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-246242

(43)公開日 平成9年(1997)9月19日

(51)Int.Cl.^{*}
H 01 L 21/3065
21/314
21/768
21/31
// G 03 F 7/075

識別記号 庁内整理番号

F I
H 01 L 21/302
21/314
G 03 F 7/075
H 01 L 21/90

技術表示箇所
J
M
J
V

審査請求 有 請求項の数14 OL (全14頁) 最終頁に続く

(21)出願番号 特願平8-49765
(22)出願日 平成8年(1996)3月7日

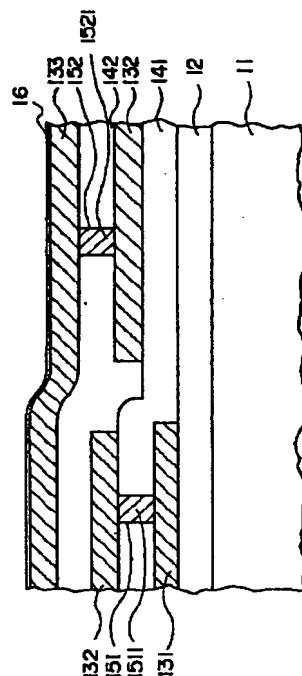
(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72)発明者 松本 良成
東京都港区芝五丁目7番1号 日本電気株式会社内
(72)発明者 大西 良武
東京都港区芝五丁目7番1号 日本電気株式会社内
(72)発明者 遠藤 和彦
東京都港区芝五丁目7番1号 日本電気株式会社内
(74)代理人 弁理士 京本 直樹 (外2名)
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 比誘電率の低い非晶質弗化炭素膜を絶縁層間膜として用いた半導体装置の絶縁層に選択的にピアホールを形成し、それによる配線遮延時間の短縮やクロストークの軽減のみならず、層間性の密着性や製造プロセスにおける形成条件の自由度の向上を図る。

【解決手段】 炭素と弗素を主成分とする非晶質弗化炭素膜を含んだ絶縁層により配線層間が電気的に隔離され、配線層間が絶縁層を貫通した孔に埋め込まれた導電性材料により電気的に接続されている半導体装置を、シリコーン系レジストをエッティングマスクとして、非晶質弗化炭素膜を選択エッティングすることにより製造する。また、非晶質弗化炭素膜上か、孔内側壁のいずれか又は両方に、シリコン酸化膜又はシリコン窒化膜又はシリコンオキシナイトライド膜を形成する。



【特許請求の範囲】

【請求項1】シリコーン系レジストをエッチングマスクとして、炭素と弗素を主成分とする非晶質弗化炭素膜を選択エッチングすることを特徴とする半導体装置の製造方法。

【請求項2】酸素~~フ~~ラズマを用いて非晶質弗化炭素膜の選択エッチングを行うことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】被エッチング試料の設置電極に負バイアスを印加して、前記非晶質弗化炭素膜の選択エッチングを行うことを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】前記非晶質弗化炭素膜をシリコーン系レジストをマスクに選択エッチングした後、前記シリコーン系レジストの除去にフッ酸を含む液にて除去することを特徴とする請求項1又は請求項2又は請求項3記載の半導体装置の製造方法。

【請求項5】前記非晶質弗化炭素膜をシリコーン系レジストをマスクに選択エッチングした後、前記シリコーン系レジストの除去に弗素を含む化合物ガスにてドライエッティングすることを特徴とする請求項1又は請求項2又は請求項3記載の半導体装置の製造方法。

【請求項6】前記非晶質弗化炭素膜上に形成される酸化膜あるいは窒化膜あるいはオキシナイトライド膜を終点検出手段として、非晶質弗化炭素膜を研磨することにより、前記非晶質弗化炭素膜表面の凹凸を平坦化する工程を有することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項7】炭素と弗素を主成分とする非晶質弗化炭素膜を含んだ絶縁層により配線層間が電気的に隔離され、前記配線層間が前記絶縁層を貫通した孔に埋め込まれた導電性材料により電気的に接続されていることを特徴とする半導体装置。

【請求項8】前記絶縁層が、炭素と弗素を主成分とする非晶質弗化炭素膜と、前記非晶質弗化炭素膜の少なくとも一正面に形成されるシリコン酸化膜あるいはシリコン窒化膜あるいはシリコンオキシナイトライド膜を有することを特徴とする請求項7記載の半導体装置。

【請求項9】前記シリコン酸化膜あるいは前記シリコン窒化膜あるいは前記シリコンオキシナイトライド膜の少なくとも前記非晶質弗化炭素膜と接する界面部分の化学量論比をシリコン過剰とすることを特徴とする請求項8記載の半導体装置。

【請求項10】前記非晶質弗化炭素膜の少なくとも前記シリコン酸化膜あるいは前記シリコン窒化膜あるいは前記シリコンオキシナイトライド膜と接する界面部分が水素を含有することを特徴とする請求項8記載の半導体装置。

【請求項11】前記絶縁層を貫通する前記孔内の側壁のうち、少なくとも側壁に露出した前記非晶質弗化炭素

膜との界面に、シリコン酸化膜あるいはシリコン窒化膜あるいはシリコンオキシナイトライド膜が形成されることを特徴とする請求項7、8、9、10のいずれかに記載の半導体装置。

【請求項12】前記孔内の側壁に形成された前記シリコン酸化膜あるいは前記シリコン窒化膜あるいは前記シリコンオキシナイトライド膜の、少なくとも前記非晶質弗化炭素膜と接する界面部分の化学量論比をシリコン過剰とすることを特徴とする請求項11に記載の半導体装置。

【請求項13】前記絶縁層が、炭素と弗素を主成分とする非晶質弗化炭素膜と、前記非晶質弗化炭素膜の少なくとも上面に形成されるシリコン酸化膜あるいはシリコン窒化膜あるいはシリコンオキシナイトライド膜を有し、

前記絶縁層の前記シリコン酸化膜あるいはシリコン窒化膜あるいはシリコンオキシナイトライド膜における前記孔の開口断面積に比べて、前記非晶質弗化炭素膜における前記孔の開口断面積が大きく、

前記絶縁層を貫通する前記孔内の側壁のうち、少なくとも側壁に露出した前記非晶質弗化炭素膜との界面に、シリコン酸化膜あるいはシリコン窒化膜あるいはシリコンオキシナイトライド膜が形成されていることを特徴とする請求項7記載の半導体装置。

【請求項14】前記絶縁層が、炭素と弗素を主成分とする非晶質弗化炭素膜と、前記非晶質弗化炭素膜の少なくとも上面に形成されるシリコン酸化膜あるいはシリコン窒化膜あるいはシリコンオキシナイトライド膜を有し、

前記絶縁層を貫通する前記孔の側壁のうち、少なくとも側壁に露出した前記非晶質弗化炭素膜との界面に、シリコン酸化膜あるいはシリコン窒化膜あるいはシリコンオキシナイトライド膜が形成され、

前記絶縁層の前記シリコン酸化膜あるいはシリコン窒化膜あるいはシリコンオキシナイトライド膜の厚さよりも、前記孔内の側壁に形成された前記シリコン酸化膜あるいはシリコン窒化膜あるいはシリコンオキシナイトライド膜の厚さの方が薄いことを特徴とする請求項7記載の半導体装置。

40 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の積層配線層、すなわち多層配線層を有する半導体装置ならびにこれを構成する絶縁層に代表される絶縁層の加工に適した半導体装置の製造方法に関する。

【0002】

【従来の技術】半導体超高集積回路(LSI)の集積度の上昇により、いまや1/4μm以下の寸法精度をもった個別素子がSi基板表面近傍に形成される時代となつた。

【0003】LSIは、微細な個別素子間を配線で結びつけることによってはじめてそのシステムとしての機能を発揮するものである。

【0004】しかし個別素子間の相互接続における配線の交差個所を避けるために配線を迂回したりすると、チップ面積に占める配線部分の占有面積を増したり、配線長を増大して配線遅延の原因となる。従って、配線の交差個所や重なりを防ぐために配線間に絶縁膜を挿入することで配線を多層化する技術が一般的になってきた。

【0005】図11は多層配線の概念図を示すものである。シリコン基板1に絶縁膜31を形成し、素子形成領域2への接続のためのコンタクトホール4を開孔してこれにコンタクトプラグ4を埋め込み、素子形成領域2と第1配線層51との接続を果たす。

【0006】さらに絶縁膜32を開けられたピアホール61に埋め込まれたピアプラグ61を介して第1配線層51と第2の配線層52との接続、再び絶縁膜33を開けられたピアホール62に埋め込まれたピアプラグ62を介して第2の配線層52と第3の配線層53と接続する。以上の工程を次々と繰り返せばさらなる多層配線も可能となるが、最後の配線上を封止膜7にて覆うことで完成する。

【0007】しかし、薄い絶縁膜を挟んで構成される多層配線技術では、配線間での浮遊容量が大きく配線遅延の原因となったり、層間絶縁膜を挟んで上下で隣接した2つの配線と共に高周波成分を含んだ信号が伝達される場合にはクロストークが生じ、誤作動の原因となる。

【0008】こうした配線遅延やクロストークを防止するためには上下配線間の距離を増加すること、すなわち層間絶縁膜の厚さを大きくとることが要求されるが、一方で層間絶縁膜の厚さを厚くすれば深いコンタクトホールやピアホールを形成する必要が生まれる。深いコンタクトホールやピアホールの形成は、これらホール形成のためのドライエッティング技術をより一層困難とするもので、この点からは層間絶縁膜の厚さを極力薄くする必要がある。

【0009】今後、実用化される256メガビットDRAM(ダイナミック・ランダム・アクセス・メモリ)以降の半導体集積回路技術では、コンタクトホールの径も $1/4\mu\text{m}$ 以下が要求され、ドライエッティング技術の点からはアスペクト比と呼ばれるコンタクトホールの径に対するその深さを最大5以下におさえたいとすれば、層間絶縁膜の厚さは必然的に約 $1\mu\text{m}$ 以下が要求される。

【0010】また、上述の上下配線層間の問題のほかにも同一平面上に形成された配線間での浮遊容量増大に伴う配線遅延やクロストークの問題は集積度の向上と共により深刻になりつつある。

【0011】なぜならば、半導体集積回路の微細化に伴い、配線太さの減少と同時に配線間の間隔も微細化し、やがて配線太さ $1/4\mu\text{m}$ と同等の間隔となることは必

然であり、高集積化の要求からは配線間隔を広げることはできないので、層間絶縁膜を厚くすることにより解決不可能ではない上下配線間での配線遅延やクロストークの問題よりも、同一層に配置された配線間での配線遅延やクロストークの問題は深刻である。

【0012】こうした上下あるいは同一面内配線間での層間絶縁膜の厚さで決まる配線間容量の増大に伴う配線遅延やクロストークを正確に把握するには、分布定数回路的取り扱いが必要である。

【0013】これを図9を参照して説明する。図9はR. L. M. Dangらが1981年のアイ・イー・イー・エレクトロン・デバイス・レターズ(IEE Electron Device Letters)の第EDL-2巻、196頁に示した厚さHの酸化シリコン膜(比誘電率3.9)で絶縁された配線層とシリコン基板配線との間の単位配線長あたりの容量を示すものである。

【0014】配線幅Wが減少するとフリンジ効果により、いわゆる平行平板近似の容量に較べて容量Cが格段に増加することが示されている。同時に、フリンジ効果があるということは、配線高さTが大きいとますます平行平板近似の容量に較べて容量Cが増大していることもあらわれている。

【0015】なお、図9に示されたようなシリコン基板と最下層配線との間に配置された絶縁膜を層間絶縁膜と呼ぶことはないようであるが、配線遅延やクロストークの問題については共通の問題であり、本明細書にあってはこのシリコン基板上に直接位置して配線との電気的絶縁を行う絶縁膜も含めて層間絶縁膜と呼ぶことにする。

【0016】また、同じく上記論文に記載されている、配線間隔の微細化に伴うシリコン基板との間の単位長あたり容量C_fの変化を図10に示す。配線間隔の微細化に伴い、配線とシリコン基板との間の容量C₁₁は減少するものの、配線間隔Sを隔てて隣り合った配線との間の容量C₁₂は逆に増加する結果、W/Hが1を越えると、シリコン基板との間の単位長あたり容量C_fは微細化するほどに増大することを示している。

【0017】すなわち、半導体集積回路を構成する素子そのものは微細化により動作速度を上昇することはできるが、素子間を結ぶ配線を微細化すると配線抵抗の増大とともに浮遊容量の増加のために半導体集積回路全体としての動作速度はいっこうに上昇しないことになる。

【0018】図9ならびに図10で示された結果は、いずれもシリコン基板と絶縁膜を介して設置された配線との間の浮遊容量に関する解析結果であり、配線層間の浮遊容量を扱ったものではない。しかし、配線層間の浮遊容量に關しても事情は定性的に同じである。従って、本明細書にあっては一般的とは言えないがシリコン基板上に直接位置して最下層の配線層との電気的絶縁を行うために挿入された絶縁膜をも含めて層間絶縁膜と呼ぶこと

にする。

【0019】こうした技術的背景に沿って、半導体集積回路技術で広く使用される絶縁膜であるSi, N_x (比誘電率: ϵ , ~7), SiO_x (ϵ , ~3, 9)などに替わる比誘電率 ϵ の小さい層間絶縁性薄膜の開発は急務である。こうした比誘電率 ϵ の小さい材料の一つとして特願平06-217470号出願明細書、特願平07-21429号出願明細書、特願平07-35023号出願明細書などに記載の ϵ , <3 が得られる炭素と弗素を主成分とする非晶質弗化炭素膜が期待されている。これらの非晶質弗化炭素膜は、炭化水素系ガスとフッ素系ガスあるいはC_x F_y ガスをプラズマ化し、生成された炭素、フッ素のラジカル分子、イオンなどを基板上で反応させて形成されるもので、耐熱性、エッチング耐性の向上のために、上記膜に窒素原子あるいはシリコン原子が導入されるものもある。

【0020】

【発明が解決しようとする課題】上記非晶質弗化炭素膜は低い比誘電率 ϵ を有するために多層配線における層間絶縁膜としての期待が大きいものの、半導体拡散層と接続するコンタクトホール、配線層間での接続を行うためのピアホールなどを形成する技術に関しては問題が残り、実用化を阻んでいる。

【0021】以下に通常のホトリソグラフィ技術を用いて、SiO_x からなる層間絶縁膜にスルーホールを形成する技術が開示されている特開平5-74962号公報を参考に、非晶質弗化炭素膜への開孔のプロセスを説明する。

【0022】非晶質弗化炭素膜上に、フェノール樹脂と感光剤、あるいは環化ゴム等の樹脂と感光剤を組み合わせた通常のレジストを、1~1.5 μ mの厚さで塗布し、64M DRAM (ダイナミックランダムアクセスメモリ) 以上の高集積化LSIのプロセスを想定して直径0.2 μ mの孔を非晶質弗化炭素膜に開口するプロセスである。

【0023】このプロセスでは図11のような構造を実現するわけであるが、層間絶縁膜である非晶質弗化炭素31、32あるいは33にコンタクトホール4あるいはピアホール61あるいは62を開孔する技術を述べる。

【0024】まずは、上記した通常のレジストを非晶質弗化炭素膜に塗布した後、露光ついで現像してエッチングのための選択マスクを形成する。しかし後にこのレジスト膜をマスクとしてイオンミリング法により非晶質弗化炭素膜を開口した。

【0025】このイオンミリングによる開口は非晶質弗化炭素膜が一般的の酸やアルカリに強くエッチングできないために採用した。しかし、ほぼ純粹に物理的プロセスであるイオンミリングで膜への開口を行うため、非晶質弗化炭素膜を開孔する段階でマスクであるレジスト自身も削られる。このためレジストを1 μ m以上の厚みで形

成することにより、膜厚0.4 μ m未満の非晶質弗化炭素膜ではかろうじて開口することができたが、0.4 μ m以上の厚さのものについてはイオンミリング法で開口することはきわめて困難であった。

【0026】さらに、イオンミリングでの開口後にレジスト除去を行うわけであるが、100°C程度に温めたレジスト剥離液でのウェット処理では、非晶質弗化炭素膜の膜減りが起こることが判明した。

【0027】そこで酸素プラズマ中での灰化処理によりレジスト除去を試みたが、これによってもレジストとともに非晶質弗化炭素膜も急速に除去されてしまうことが判明した。すなわち、通常のフォトリソグラフィ技術によっては非晶質弗化炭素膜を選択的に加工することは極めて困難である。

【0028】本発明の目的は、配線遮延やクロストーク問題を解決するために有効な低い比誘電率 ϵ を有する層間絶縁膜として非晶質弗化炭素膜を適用する半導体装置の製造方法において、上記課題を解決し、コンタクトホールやピアホールなどを選択的に形成する技術を提供することにある。

【0029】同時に層間絶縁膜に要求される耐熱性や、配線との密着性ならびにコンタクトホールやピアホール内に形成される導電性プラグの低抵抗化とその信頼性を大幅に改善する半導体装置およびその製造方法を提供することが本発明の目的である。

【0030】

【課題を解決するための手段】本発明は、層間絶縁膜として炭素と弗素を主成分とする非晶質弗化炭素膜を有する半導体装置の製造方法であって、シリコーン系レジストを選択エッチングマスクとして、炭素と弗素を主成分とする非晶質弗化炭素膜のエッチングをすることにより、コンタクトホールやピアホールといった層間絶縁膜への選択的加工を実現するものである。また、上記シリコーン系レジストをマスクとして、酸素プラズマを用いてエッチングを行えばより容易に行える。

【0031】特に、酸素プラズマエッチング時に、被エッチング試料の設置電極に負バイアスを印加しておくなれば、異方性エッチングが可能となり、サイドエッチングの軽微な選択エッチング形状に忠実な選択エッチングを行うことができる。

【0032】なお、非晶質弗化炭素膜をシリコーン系レジストをマスクに選択エッチングした後、シリコーン系レジストは、非晶質弗化炭素膜をアタックしない弗酸を含む液や弗素を含んだ化合物ガス中にドライエッチングする方法を採用することにより容易に除去できるので、化学組成の複雑なレジストリムーバーを使用する必要がなく、清浄なレジスト除去プロセスを実現できる。

【0033】さらに、非晶質弗化炭素膜上に、酸化膜あるいは窒化膜あるいはオキシナイトライド膜を形成しておくなれば、それら酸化膜あるいは窒化膜あるいはオキ

シナイトライド膜を終点検出手段として非晶質弗化炭素膜を化学的あるいは機械的手段で研磨することにより、配線層を埋め込んだりして凹凸の発生した非晶質弗化炭素膜表面を再現性良く平坦化することができる。同時に、上記酸化膜あるいは窒化膜あるいはオキシナイトライド膜は、密着性の向上にも役立つ。

【0034】また、上記手法を用い、炭素と弗素を主成分とする非晶質弗化炭素膜を含んだ絶縁層により配線層間を電気的に隔絶し、配線層間を絶縁層を貫通した孔に埋め込まれた導電性材料により電気的に接続することにより、配線層間での浮遊容量が小さく、配線遅延やクロストークの少ない半導体装置を作製できる。

【0035】上記絶縁層が、炭素と弗素を主成分とする非晶質弗化炭素膜と、非晶質弗化炭素膜の少なくとも一主面に形成されるシリコン酸化膜あるいはシリコン窒化膜あるいはシリコンオキシナイトライド膜を有するならば、少なくともシリコン酸化膜、シリコン窒化膜あるいはその混合膜であるシリコンオキシナイトライド膜を介して配置される金属材料その他の材料層との密着性を向上させることができ、信頼性の高い半導体装置となる。

【0036】さらに、シリコン酸化膜またはシリコン窒化膜またはシリコンオキシナイトライド膜の少なくとも非晶質弗化炭素膜と接する界面部分の化学量論比をシリコン過剰とするか、あるいは非晶質弗化炭素膜の少なくともシリコン酸化膜またはシリコン窒化膜またはシリコンオキシナイトライド膜と接する界面部分に水素を含有させることにより、密着性がより向上し、半導体装置の信頼性が高くなる。

【0037】また、絶縁層を貫通する孔内の側壁のうち、少なくとも側壁に露出した非晶質弗化炭素膜との界面に、シリコン酸化膜あるいはシリコン窒化膜あるいはシリコンオキシナイトライド膜を形成するならば、その後にこの孔に埋め込まれる導電性プラグの形成条件（加熱温度等）の自由度を大幅に拡大するとともに、比抵抗の小さい導電性プラグを有する半導体装置となる。

【0038】さらに、その孔内の側壁に形成されたシリコン酸化膜あるいはシリコン窒化膜あるいはシリコンオキシナイトライド膜の、少なくとも非晶質弗化炭素膜と接する界面部分の化学量論比をシリコン過剰とすることにより、導電性プラグと密着性の高い信頼性に優れた半導体装置となる。

【0039】また、絶縁層が、炭素と弗素を主成分とする非晶質弗化炭素膜と、前記非晶質弗化炭素膜の少なくとも上面に形成されるシリコン酸化膜あるいはシリコン窒化膜あるいはシリコンオキシナイトライド膜を有し、絶縁層のシリコン酸化膜あるいはシリコン窒化膜あるいはシリコンオキシナイトライド膜における孔の開口断面積に比べて、非晶質弗化炭素膜における孔の開口断面積が大きく、絶縁層を貫通する孔内の側壁のうち、少なくとも側壁に露出した非晶質弗化炭素膜との界面に、シリ

コン酸化膜あるいはシリコン窒化膜あるいはシリコンオキシナイトライド膜からなるサイドウォールを形成することにより、サイドウォールによって開孔断面積を縮小させることなく、レジストパターンに則した安定で低抵抗の導電性プラグを形成することができる。

【0040】サイドウォールの形成による開孔断面積の縮小を防止するには、絶縁層で非晶質弗化炭素膜上に形成されるシリコン酸化膜あるいはシリコン窒化膜あるいはシリコンオキシナイトライド膜の厚さよりも、孔内の側壁に形成されるシリコン酸化膜あるいはシリコン窒化膜あるいはシリコンオキシナイトライド膜の厚さの方を薄くする構成とすることによも達成できる。

【0041】本発明は層間絶縁膜として非晶質弗化炭素膜を用い、かつこの非晶質弗化炭素膜に開孔部を形成してここに導電性材料を埋め込んだ再現性と信頼性の高い構造を提供すると共に、この開孔部を精度良く選択エッチングする技術に関する技術を提供するものである。

【0042】本発明の製造方法にあっては、（1）選択エッチングマスクとして感光性シリコーン樹脂系レジストを用い、（2）非晶質弗化炭素膜のエッチングには酸素プラズマに曝することで行い、しかる後に（3）選択エッチングマスクとしての感光性シリコーン樹脂系レジストを弗酸系エッチング液あるいは弗素含有ガスにて取り除くことで半導体装置を製造するものである。

【0043】さらに前記開孔部に導電性材料を埋め込む場合に、開孔部内側壁にシリコン酸化膜又はシリコン窒化膜又はシリコンオキシナイトライド膜からなるサイドウォールをあらかじめ形成しておくことで再現性と信頼性の高い構造が得られる。

【0044】すなわち、非晶質弗化炭素膜は酸素プラズマに曝すことで効率よくエッチングすることができるが、選択エッチングする場合にマスクとして従来のように通常のレジストを用いた場合には酸素プラズマに曝すということでレジスト自身も攻撃される。この従来のプロセスでは、炭素原子を中心にして組み立てられた有機物である通常のレジストが酸素プラズマに曝され、一酸化炭素や二酸化炭素といった気体となって失われる。すなわち、よく知られたレジストの灰化処理による除去プロセスそのものだからである。

【0045】一方、本発明のように感光性シリコーン樹脂系レジストを用いるならば、非晶質弗化炭素膜を効率よくエッチングすることができる酸素プラズマによるエッチングが可能になる。これは感光性シリコーン樹脂系レジストのベースレンジがシリコン原子を中心にして組み立てられた化合物であるために、酸素プラズマに曝してもシリコンと酸素の結合が増加することはあるが、この蒸気圧が低く蒸発して失われることがないためである。

【0046】また、従来の通常のレジストをマスクにイオンミリング等の技術により非晶質弗化炭素膜の選択エッチングが行えたとしても、エッチング後のレジスト剥

離工程では上記した酸素プラズマに曝しての灰化処理を使うことができず、強アルカリ性のレジスト剥離液中の処理が必要となるが、非晶質弗化炭素膜自身もレジスト剥離液によっては攻撃されてしまう。

【0047】一方、本発明によれば、感光性シリコーン樹脂系レジストはキシレン等の芳香族炭化水素やアセトン等のケトン系の溶剤にも溶けるし、より完全なレジスト除去には希フ酸などの弗酸系の液を用いることができ、これらの液によっては非晶質弗化炭素膜自身は攻撃されないためきわめてプロセスの再現性は向上する。

【0048】もちろん、希フ酸などの薬液によるウエットプロセスでのレジスト除去の替わりに、フレオンガスなどによるドライプロセスによっても非晶質弗化炭素膜自身は攻撃せずにレジストのみを完全に除去することができる。

【0049】また従来は、非晶質弗化炭素への開孔後に導電性プラグを埋め込む段階で基板温度を400°C以上に上昇すると、開孔部断面の非晶質弗化炭素膜からは弗素成分が飛散して開孔部周辺の非晶質弗化炭素膜の比抵抗を下げるがあり、また出来上がった導電性プラグの比抵抗を上昇するなどの問題があった。これを防止するため、本発明ではシリコン窒化膜などで開孔部内壁にサイドウォールを形成する。サイドウォールをあらかじめ形成しておくことにより、抵抗の低い導電性プラグを再現性よく作成することができる。

【0050】

【発明の実施の形態】以下、図面を交えながら、本発明の実施の形態を詳細に説明する。

【0051】【第1の実施の形態】本実施の形態においては、図1にその断面を示すような3層構造を持った多層配線の場合について説明することにする。もちろん、以下に述べる技術を繰り返し用いるならばいかなる多層配線をも実現できることは言うまでもない。図2および図3に図1の形成過程を示す。

【0052】まず、製作しようとする半導体装置の最終的多層配線断面構造を図1に示し、説明する。拡散層などの素子領域(図示せず)の設けられたシリコンウェーハ11上に絶縁膜12を介して最下層配線131が設けられ、この上に層間絶縁膜141を介して第2の配線層132が設けられ、さらに層間絶縁膜142を介して第3の配線層133が設けられている。

【0053】上下の配線層は層間絶縁膜に開孔されたビアホール151ならびに152に埋め込まれたビアプラグ1511ならびに1521によって電気的な接続がなされている。

【0054】図1は3層構造の多層配線を示したものであるが、さらに層間絶縁膜を介して配線層を積み重ねればいかようにも多層化できることは言うまでもないが、最終配線の上には通常、バッファーレーションのための絶縁膜16が堆積される。

【0055】なお、本発明の実施形態では層間絶縁膜141と142に、低誘電率をもった炭素と弗素を主成分とする非晶質弗化炭素膜を用いる。

(最下層配線層形成までのプロセス) 次に図2と図3を参照して図1の断面構造の製造方法を詳細に説明する。まずは図2(イ)に示された図面を参照して説明する。

【0056】この半導体装置における多層配線構造は、あらかじめ素子形成領域である拡散層等(図示せず)が形成されたシリコンウェーハ11上に、リンガラス(PSG)等の絶縁膜12を通常の化学気相成長(CVD)法等で形成した上に形成される。

【0057】絶縁膜12にはまずシリコンウェーハ11上の半導体素子への接続孔(コンタクトホール; 図示せず)が通常の方法で形成される。なお、ここではシリコン基板11上に直接形成する絶縁膜として非晶質弗化炭素膜を用いておらず、上記したように通常のPSG絶縁膜12を用いた。

【0058】次に、最下層となる第1配線層131として、絶縁膜12上全面に最初はタンクスチタンをスパッタ法で形成し、次にCVD法で全厚150nmのA1層を形成する。ついで通常のリソグラフィ技術を用いて選択エッチング用マスクを形成して、これも通常のドライエッチングを施すことで第1の下層配線層131が得られる。本実施の形態においてこの下層配線層131の最小線幅は0.25μmであり、最小配線間隔は0.35μmとした。

【0059】次いで層間絶縁膜として、特願平6-217470号出願明細書や特願平7-214229号出願明細書あるいは特願平7-85023号出願明細書で述べられている方法による非晶質弗化炭素膜141の成膜に移る。非晶質弗化炭素膜141の成膜方法について、特願平7-35023号出願明細書に記載のものと同様であるが説明する。

【0060】非晶質弗化炭素膜の成膜はプラズマ装置にてなされるが、装置は真空室内で上下一対の電極を配置して、この下部電極の上にシリコンウェーハを配置し、下部電極にはプラズマ源とは独立に400kHzあるいは13.56MHzの高周波を印加できる構造をとっている。

【0061】下部電極への高周波を印加することにより実効的に数十~数百ボルトの負バイアスをシリコンウェーハに印加することができる。プラズマは下部電極とは別に配置された電極に高周波を印加することによって発生させる。

【0062】図2(イ)に示される絶縁膜に、下層配線層131が形成されたシリコンウェーハをプラズマ生成室の前段にゲートバルブにより遮断されて設けられた準備室にまず導入し、準備室を真空引きしてその真空度を10⁻⁷トールとした後でゲートバルブを開いて10⁻⁸トール以下の高真空に維持されたプラズマ生成室にシリコ

シウエーハを導入し、下部電極上に設置した。

【0063】この後、ゲートバルブを閉じてプラズマ生成室の真空中度が再び 10^{-9} トール以下になったら、 C_F_4 および N_2 ガスをプラズマ生成室内に導入し、真空中度 $0.01 \sim 0.05$ トールに調節した。ここで先のプラズマ生成用の電極に高周波あるいは直流電力を印加してグロー放電させることで非晶質弗化炭素膜141が成膜する(図2(ロ))。

【0064】ここで非晶質弗化炭素膜の堆積時の基板温度としては $\sim 200^\circ C$ 以下がよい。なぜならば基板温度が $\sim 200^\circ C$ を越えると堆積速度はほとんど0になってしまふからである。堆積速度の温度依存性については正確なところは不明であるが非晶質弗化炭素膜形成のための反応種の基板への付着係数が温度上昇に伴い急激に低下するものと考えられる。

【0065】この実施の形態において窒素を原料ガス中に添加した理由は、特願平7-35023号出願明細書で述べられているように非晶質弗化炭素膜の耐熱性向上のためであるが、本発明の技術の適用は窒素ガスを添加していない非晶質弗化炭素膜に対しても有効であることは言うまでもない。

【0066】また、非晶質弗化炭素膜の成膜用原料ガスとしては、 C_F_4 、 C_2F_6 、 C_3F_8 、 C_4F_8 、 C_2H_6 、 HF 、などのフッ素系ガスの中から選んだ少なくとも1つのガス、あるいはそれらに水素ガス H_2 、または炭化水素ガス C_2H_4 、 C_2H_6 、 C_2H_2 、 C_3H_8 の中から選んだ少なくとも一つのガスを混合したガスを用いてもよいことは言うまでもないし、 SF_6 や NF_3 などのフッ素系ガスと上記炭化水素ガスを用いてもよい。

【0067】さらに窒素を入れるための原料としては N_2 の他に NO 、 NO_2 、 NH_3 、 NF_3 の中から選んだ少なくとも一つのガスを加えて成膜してもよい。

(非晶質弗化炭素膜の成膜装置)さらにこの発明に関わる非晶質弗化炭素膜のプラズマ法としては、通常の平行平板型のプラズマ室の装置を用いてもよいが、スルーブットを上げるために高密度プラズマ生成に有利なECR(Electron Cycotron Resonance)プラズマ源やシリコン波プラズマ源等の各種プラズマ源を用いることができることは言うまでもない。

【0068】特にシリコン波プラズマ源に代表される基板とプラズマ発生電極が別々になった高密度プラズマ源によっては、水素などの含有がほとんどない非晶質弗化炭素膜の成膜が可能になることは特願平7-21429号出願明細書等で記載したとおりであるし、かつ以下のべるようアスペクト比の大きい配線間に層間膜を平坦性よく埋め込むためにも有利である。非晶質弗化炭素膜の中に水素などの含有がほとんどないことは、層間絶縁膜の耐熱性という意味できわめて重要なことである。

(非晶質弗化炭素膜の誘電率と組成ならびに構成)非晶

質弗化炭素膜の組成としては、比誘電率が3以下の低誘電率を示すという目的においては、炭素の含有量としては70%以下であることが好ましい。

【0069】一方で、層間膜として利用する場合に密着性向上のために、また下地との界面や非晶質弗化炭素膜形成後に再び配線金属を形成した場合における界面での剥がれ防止のためには、界面においてはFの含有量が極端に少なく炭素の含有量が70%以上の層を形成するなど膜厚方向で組成を変化させたりする場合もあるが、本発明の技術はこうした膜に対しても適用できる。

【0070】さらに非晶質弗化炭素膜の下層にシリコン酸化膜(SiO_2)やシリコン窒化膜(SiN_x)、あるいはそれらの混合膜であるオキシナイトライド膜($SiON$)を薄く数nm程度形成しておくと、密着性の向上がもたらされる。特に前記したシリコン酸化膜やシリコン窒化膜としてはそれら材料の化学量論比に較べてシリコン過剰とすることでより一層密着力が向上する。

【0071】この密着力の向上は非晶質弗化炭素膜中の炭素がシリコン酸化膜やシリコン窒化膜中のシリコン原子と結合して強力な $Si-C$ 化学結合を形成するためと考えられる。この事実はシリコン酸化膜やシリコン窒化膜の化学量論比をシリコン過剰にすると一層密着力が増すことからも伺える。

【0072】さらにシリコン酸化膜やシリコン窒化膜と界面をなす数nmの非晶質弗化炭素膜に水素を加えておくことも密着性向上には有効であり、前記した弗素のほとんど入っていない炭素膜を界面に配する場合にも水素を加えることで密着力向上がもたらされる。

【0073】水素による効果はシリコン酸化膜やシリコン窒化膜におけるシリコン原子の遊離を促すと考えられ、この結果強力な $Si-C$ 化学結合が界面で形成されやすくなることで密着力向上をもたらすものと考えられる。

(非晶質弗化炭素膜への開孔)次に、成膜された非晶質弗化炭素膜にピアホール151を形成し、ピアプラグ1511を形成するプロセスについて、図2(ロ)を参照して説明する。

【0074】まず、フォトレジストとしては感光性シリコン樹脂系レジストを用い、それをスピナーで塗布(図示せず)し、露光することでピアホール151用の選択エッチングパターン(図示せず)を開口する。

【0075】次に非晶質弗化炭素膜141の選択エッチングを行う。選択エッチングはイオンミリング法に代わって酸素プラズマ法で行った。酸素プラズマ法でのドライエッティングの条件としては基本的にはよく知られた通常のレジストの灰化条件をそのまま用いることができ、広い条件範囲で選択エッティングが可能である。

【0076】しかし、 $0.2\mu m$ 径といった微細な形状でアスペクト比の大きな深いパターンを形成するには非晶質弗化炭素膜を成膜する場合と同様に、基板を配置す

る一方の電極に数10～数百ボルトとの負バイアスがかかる条件により、サイドエッティングを押さえたピアホール151の形成が可能となる。

【0077】図4は基板をおいた一方の電極に印加される負バイアスの大きさに対する膜厚方向でのフッ素を含むアモルファスカーボンエッティング速度を表している。負バイアス0の場合には少なくとも開孔部の上部で膜厚方向のエッティング速度の70%程度のサイドエッティングが観測されるが、負バイアスを-60Vとすることで膜厚方向でのエッティング速度が3倍ほどになり、サイドエッティング量は逆に減少する結果、ほとんどサイドへのエッティングは観測されることはない。

【0078】非晶質弗化炭素膜141をエッティングする場合に、イオンミリング法ではなく、酸素プラズマ法を用いることで、パターンの忠実性以外にもエッティング時間を1/10以下とする効果がある。

【0079】また、イオンミリング法は通常のフェノール樹脂系等をベースレジンとした場合には、酸素プラズマなどに曝すと非晶質弗化炭素膜141のエッティングを行うとともにフォトレジスト自身も灰化し、エッティングされてしまうために苦肉の策として用いてきたものであるが、感光性シリコーン樹脂系レジストを用いることで非晶質弗化炭素膜141のみをレジスト消失の心配をすることなしに選択エッティングすることが可能となった。

【0080】レジストのベースレジンがフェノール樹脂系等のシリコンを含まない炭素、酸素、水素を主成分とした通常の有機物である場合には、酸素プラズマに曝されると炭素は炭酸ガスや一酸化炭素ガスとなり、レジスト材そのものが消失しまう。

【0081】感光性シリコーン樹脂系レジストのベースレジンとしては特公昭40-15989号公報、米国特許3017386号などで開示されたポリラダーシロキサンまたは末端ヒドロキシポリラダーシロキサンあるいはその両方などから構成される。

【0082】これらベースレジン材料はSi原子が含まれた化合物であるために、酸素プラズマに曝されてもベースレジン材料中でSiと酸素の結合が増加することはあっても酸素プラズマによって消失することができないため好適である。

【0083】レジストとして感光性シリコーン樹脂系レジストを用いることの利点としてはさらにレジスト除去に弗酸系の液を用いることができるところである。

【0084】すなわち、従来のイオンミリング法などでエッティングしたあとにレジストを除去する場合などで、エッティングしたあとにレジストを除去する場合には、前記したようないわゆるレジストの灰化処理では、非晶質弗化炭素膜141自身も耐えられないのでこれを用いることができないため、100°C程度に温めた強アルカリ性のレジスト剥離液などで除去を行うことが必要となる。ところが100°C程度に温めた強アルカリ性のレジ

スト剥離液に非晶質弗化炭素膜141は溶解する。

【0085】一方、感光性シリコーン樹脂系レジストはキシレン等の芳香族炭化水素やアセント等のケトン系の溶剤にも溶けるが、希弗酸などの弗酸系の液によって容易に除去でき、これらの液によっては非晶質弗化炭素膜141自身は溶解しないためきわめてプロセスの再現性は向上する。

【0086】もちろん、希弗酸などの薬液によるウェットプロセスでのレジスト除去の替わりにフレオンガス等の弗素を含んだガス系によるドライエッティングによっても非晶質弗化炭素膜141自身は溶解せずにレジストのみを完全に除去することができる。

(導電性プラグの埋め込み) ピアホール151ができる後は、タンクステンCVDによってピアホール151内に導電性プラグ1511を埋め込むプロセスに移行する。

【0087】まずはスパッタリングによりチタン膜と窒化チタン膜を絶縁性膜との密着性を上げるために少なくとも厚さ数nm形成し、しかる後にピアホール151が埋まるに充分なタンクステン膜をWF。ガスを原料としたCVD法により形成する。

【0088】次にピアホール151以外に堆積したタンクステンをドライエッティングにより除去することで層間絶縁膜の表面を露出させるプロセスを踏んでピアホール151部のみにタンクステンが埋め込まれた導電性プラグ1511が形成される。

(第2の配線層形成以降のプロセス) 第2の配線層形成プロセスについては図2(ハ)、(ニ)に沿って説明する。第2層配線層132としてはチタン膜と窒化チタン膜を積層して、第1の配線形成の場合と同様にバーニングすることで第2の配線層132が形成される。この後、再び非晶質弗化炭素膜142を形成、ピアホール152を開孔してタンクステン被着、ドライエッティングして導電性プラグ1521を埋め込む。

【0089】その後図3(ホ)に示すように再び第3層配線金属133を形成、バーニングするといったように前記してきたプロセスを繰り返すならば所望の層数の多層配線ができる。最後にSiO₂やSi₃N₄によってバッシベーション膜16を形成すれば多数の多層配線を備えた半導体集積回路チップがシリコンウェーハ上に完成することになる。

【0090】[第2の実施の形態] ピアホールあるいはコンタクトホールにタンクステンを埋め込む工程で、ピアホールあるいはコンタクトホール内の側壁にシリコン窒化膜などのサイドウォールを形成しておくことが有効である。

【0091】サイドウォールの採用により、これらホールへの導電性プラグの埋め込みプロセスの条件設定における自由度が大幅に拡大し、抵抗の低い導電性プラグを再現性よく作成することができる。

【0092】そこで第2の実施の形態として、図5の断面を有する多層配線構造を例にとり説明する。この実施の形態ではピアホールあるいはコンタクトホール内の側壁にサイドウォールを形成することが特徴であり、同時にシリコンウエーハ21に形成された拡散層22と最下層の配線271との間の絶縁膜231としても非晶質弗化炭素膜2312を用いることを特徴とする。この実施の形態の構造の製造方法を、図6ならびに図7の工程断面図を参照して説明する。図6(イ)に示すように、拡散層22が形成されたシリコンウエーハ21表面にまず絶縁膜231を形成する。絶縁膜231としてはまずシリコンウエーハ21表面に酸化法やCVD法で薄い(～5nm)シリコン酸化膜2311を形成し、次に400nmの厚さの非晶質弗化炭素膜2312を前記した方法で形成、再び薄い(～5nm)シリコン酸化膜2311を形成した。

【0093】非晶質弗化炭素膜2312の上下にシリコン酸化膜2311および2313を形成することで非晶質弗化炭素膜2312の密着性を向上させる。

【0094】次に拡散層22と最下層の配線271との接続をするためのコンタクトホール241を開孔する工程に入る。ここではまず前記したシリコーン系レジストを塗布、露光、現像(以上、レジスト工程は図示せず。)してコンタクトホール241のエッチングのためのレジストマスクを形成する。次に弗酸系エッチング液を用いてシリコン酸化膜2313をまずエッチング、つぎに前記した酸素プラズマにより非晶質弗化炭素膜2312をエッチング、さらに再びシリコン酸化膜2311を弗酸系エッチング液でエッチングすることでコンタクトホール241が開孔する(図6(ロ))。

【0095】ここでシリコン酸化膜2311および2313をエッチングする場合に弗酸系エッチング液を使用したのでシリコーン系レジストも僅かにエッチングされるものの、全シリコン酸化膜の厚みは～10nmと薄いためにシリコーン系レジストのエッチング量は問題にならない。

【0096】なお、非晶質弗化炭素膜の絶縁性はシリコン酸化膜に較べて若干劣るのでシリコン酸化膜2311や2313を厚くすることが必要な場合もあるが、この場合にはシリコーン系レジストと通常のノボラック系レジスト等の2層構造レジストを用いればよい。

【0097】上層シリコン酸化膜2313が厚い場合にはシリコーン系レジストの上にノボラック系レジスト等の通常レジストを用いればよいし、下層シリコン酸化膜2311が厚い場合にはシリコーン系レジストの下にノボラック系レジストを配置することが望ましい。

【0098】なお、厚いシリコン酸化膜などを挿入することでの層間絶縁膜の誘電率の上昇が懸念されるが、下記の理由から密着性向上のために誘電率の大きい絶縁膜の挿入を躊躇する必要はほとんどない。

【0099】厚さが同一の比誘電率 ε_1 の絶縁膜と比誘電率 ε_2 の絶縁膜を積層させて、この積層膜の表裏に電極を形成させて容量を測定すれば、上記2つの膜の比誘電率の幾何平均

$$\varepsilon_T = 2 \varepsilon_1 \varepsilon_2 / (\varepsilon_1 + \varepsilon_2)$$

の比誘電率膜をもった均質な誘電体が挿入されている場合と等価である。

【0100】すなわち、厚みが同じである比誘電率 $\varepsilon_1 = 2.1$ の非晶質弗化炭素膜と比誘電率 $\varepsilon_2 = 3.9$ の

10シリコン酸化膜よりなる積層構造を仮定すると等価誘電率 $\varepsilon_T = 2.73$ であり、層間絶縁膜の低誘電率化は充分に達成されるからである。

(サイドウォール形成)以上の工程によりコンタクトホールを開孔した後、図6(ロ)で示すように、シリコン窒化膜25をプラズマCVD法で厚さ300nm形成する。

【0101】さらに良く知られたサリサイドプロセスにおけるのと同様の異方性エッチングによりシリコン窒化膜25をエッチングするならば、図6(ハ)で示すようにコンタクトホール241の内壁にシリコン窒化膜サイドウォール251が形成される。

【0102】次は図6(ニ)に示すように、第1の実施の形態での場合と同様にタンクステン等の導電性膜26をCVD法などで形成する。

【0103】コンタクトホール241部以外に堆積した導電性膜をドライエッチングにより除去することで層間絶縁膜231の表面を露出させるプロセスを踏んで、図7(ホ)のようにコンタクトホール241部のみにタンクステンを埋め込んで導電性プラグ261を形成した。

30【0104】なお、実施例ではサイドウォール251にはシリコン窒化膜を用いたがシリコン酸化膜でもオキシナイトライド膜であっても構わない。

【0105】また、シリコン酸化膜、シリコン窒化膜あるいはその混合膜であるオキシナイトライド膜の少なくとも側壁に露出した非晶質弗化炭素膜2312に隣接する膜の組成が各々の化学量論比に較べてシリコン過剰とするならばサイドウォールへのこれら膜の密着性は一段と向上する。

【0106】なお、ここに適用するサイドウォール251は層間絶縁膜231の断面全体に形成する必要はなく、非晶質弗化炭素膜2312の断面のみを覆えばよい。このことはサイドウォールエッチングの再現性向上に著しく役立つばかりか後に埋め込む導電性プラグの断面積の拡大による抵抗の低減をもたらす。このプロセスを、図6の(ロ)および(ハ)に相当する図8(イ)および(ロ)を用いて説明する。

【0107】図8(イ)は、酸素プラズマエッチングで非晶質弗化炭素をエッチングする工程でややオーバーエッチングしておき非晶質弗化炭素膜2312のサイドエッチングを200nm程進行させ、この後で窒化膜25

を形成した段階をあらわす。この場合酸化膜2313には底23131ができる。

【0108】その後図8(ロ)で示すように異方性エッチングによりサイドウォール251を形成するわけであるが、サイドウォール251の形成にあたっては確実にサイドウォール251を形成しようとするとコンタクトホール241の底2411に窒化膜25が残余する場合がある。

【0109】しかし、図8(イ)の構造をエッチングしても図8(ロ)に示すように、非晶質弗化炭素膜2312の断面に形成された窒化膜25は上部の酸化膜2313の底23131の下に保護され、サイドウォール251形成のためのエッチングを原理的には少なくとも底23131がなくなるまで充分過剰に行うことができるようになる。しかし、底23131が残余する範囲でエッチングを終了すれば充分であり、かつ底23131が残余する範囲にとどめておくことが非晶質弗化炭素膜2312の完全密閉には好ましい。

【0110】さらに加えて酸化膜2313の膜厚をサイドウォール用窒化膜25よりも厚く形成しておくならばこのプロセスはきわめて安定したものとなり、確実に非晶質弗化炭素膜2312を覆って低抵抗導電性プラグを再現性をもって形成することができる。すなわち、コンタクトホール241の底2411の窒化膜25を確実に除去することができ、安定した低抵抗コンタクト特性をえることができる。

(サイドウォールの有効性)この実施例のように導電性膜26の被着前にサイドウォール251を形成しておくならば、導電性膜26の形成プロセス条件に大幅な余裕度が生じる。

【0111】すなわち第1の実施の形態のようにサイドウォール251を設けない場合には、導電性膜であるタンクスチーンをCVD法などの技術を用いて堆積する場合にシリコンウエーハの加熱温度を400°C未満にて行う必要があるなどの制約がある。

【0112】例えばサイドウォール251がない場合、400°C以上の温度ではコンタクトホール241の内面側壁に露出した非晶質弗化炭素膜の断面から弗素が脱離してその絶縁性を阻害するといったシリコン酸化膜などを層間膜とした場合には予想できない問題が生じる。

【0113】一方、本発明の実施の形態のようにサイドウォール251を設ければ400°C以上での導電性膜26の形成が可能である。400°C未満でタンクスチーンなどを形成すると成膜速度を低下したり、できあがった膜の抵抗率が高くなるなどの問題が派生するので、非晶質弗化炭素膜を持った構造でサイドウォール251を形成することによりプロセスの信頼性を向上する。

(多層配線形成におけるCMP技術の採用)コンタクト用の導電性プラグ261が形成された後は、図7(ホ)に示してあるように、第1の実施の形態と同様にして第

1の配線層271を形成、これを前記最下層絶縁膜231の場合と同様に、上下をシリコン酸化膜2321、2323で狭まれた非晶質弗化炭素膜2322で構成され第2の絶縁層232を形成する。

【0114】この実施の形態にあってはこの後で絶縁層232の表面段差を化学機械研磨(CMP)にて平坦化するプロセスを取り入れた。

【0115】このCMPプロセスでは絶縁層232を構成する上部シリコン酸化膜2323がCMPの終点検出に有效地働く。すなわち、図7(ホ)における非晶質弗化炭素膜2322の凹部にのみシリコン酸化膜2323が残ったところで、図7(ヘ)に示すように研磨を終える。これによれば、シリコン酸化膜2323が非晶質弗化炭素膜2322に較べて硬いために研磨速度がおち、この結果CMPの終点検出が容易である。

【0116】CMP研磨終了後、コンタクトホール241を形成する方法に準じてピアホール242を形成する。図7(ヘ)で示される場合のように、ピアホール242がシリコン酸化膜2323の存在しない表面に掘られるときには、第1の実施の形態で述べた非晶質弗化炭素膜2322の酸素プラズマによるエッチングに先立つ弗酸系エッチング液での処理は不要である。

【0117】ただし、次の配線層272の堆積にあたり、シリコン酸化膜2323の存在しない表面で第2の配線層が剥がれを防止するために、チタン膜と窒化チタン膜をまず堆積しておく必要がある。

【0118】なお、以上の説明でCMPにおいては絶縁膜2323としてシリコン酸化膜を用いたがシリコン窒化膜でもオキシナイトライド膜であってもかまわないことは言うまでもない。

【0119】なお、実施の形態において配線あるいは導電性プラグについてチタン系、あるいはタンクスチーン系の場合について説明したが、もちろん多結晶シリコンあるいはアルミニウム系、銅系など従来から使用されている導電性材料が使用できることは言うまでもない。

【0120】また、絶縁層への上記導電性材料の密着性向上などのために取られるそれら導電性材料の下地にチタンや窒化チタン層を設ける技術を使うことが有効であることにかわりはない。

【0121】また、実施の形態においてシリコン酸化膜とあるところはシリコン窒化膜に置き換えるなどシリコン酸化膜、シリコン窒化膜およびオキシナイトライド膜の間で自由に置き換えを行ってもなんら本発明の効果を減じるものではない。

【0122】

【発明の効果】非晶質弗化炭素膜を含んだ層間絶縁膜の選択エッチングは、従来のようにフェノール樹脂系や環化ゴム系のレジストを用いては困難であったが、本発明はシリコーン系レジストを選択エッチングマスクとして炭素と弗素を主成分とする非晶質弗化炭素膜を選択エッ

チングすることにより、コンタクトホールやピアホールといった層間絶縁膜への加工が酸素プラズマエッチングによって容易に行えるようになった。

【0123】特に酸素プラズマエッチング時に被エッチング試料の設置電極に負バイアスを印加しておくならば異方性エッチングが可能となりサイドエッチングの軽微な選択エッチングマスク形状に忠実な選択エッチングを行うことができる。

【0124】従って、上記方法を使用して、炭素と弗素を主成分とする非晶質弗化炭素膜層を含んだ絶縁層により電気的に隔離されて配置された配線層間を、絶縁層を貫通する孔に埋め込まれた導電性材料により電気的に接続することにより、層間での浮遊容量が小さく、配線幅2μm程度の半導体集積回路においても配線遅延やクロストークの問題を解決した半導体装置を実現することができる。ちなみに同一形状の配線を仮定しての配線遅延時間は、絶縁層がシリコン酸化膜の場合に較べて、本発明は半分近くにまで短縮することが可能である。

【0125】また、非晶質弗化炭素膜の少なくとも一主面にシリコン酸化膜、シリコン窒化膜あるいはその混合膜であるシリコンオキシナイトライド膜を形成し、これら全体を層間絶縁膜とすることにより、前記シリコン酸化膜、シリコン窒化膜あるいはその混合膜であるシリコンオキシナイトライド膜を介して配置される金属材料その他の材料層と絶縁膜との密着性をあげることができ、プロセスの安定性を向上し、信頼性の高い半導体装置として仕上げることが可能となる。

【0126】さらに前記シリコン酸化膜、シリコン窒化膜あるいはその混合膜であるシリコンオキシナイトライド膜に接する非晶質弗化炭素膜層の少なくとも一主面近傍に水素を含有した層を形成しておいたり、あるいは前記シリコン酸化膜、シリコン窒化膜あるいはその混合膜であるシリコンオキシナイトライド膜の少なくとも非晶質弗化炭素膜と接する界面の化学量論比をシリコン過剰とした層間絶縁膜とするならばさらに密着性は向上し、プロセスの安定性と半導体装置の信頼性を一層向上することができる。

【0127】なお、非晶質弗化炭素膜をシリコーン系レジストをマスクに選択エッチングした後、前記シリコーン系レジストは、非晶質弗化炭素膜をアタックしない弗酸を含む液や弗素を含んだ化合物ガス中にてドライエッチングする方法を採用することにより容易に除去できるので、化学組成の複雑で強アルカリ性のレジストリムーバーを使用する必要がなく、清浄なレジスト除去プロセスが実現される。

【0128】また、少なくとも非晶質弗化炭素膜を含んで構成される絶縁膜を貫通するように掘られた孔の側壁のうち少なくとも側壁に露出した非晶質弗化炭素膜の断面部にシリコン酸化膜、シリコン窒化膜あるいはその混合膜であるシリコンオキシナイトライド膜を配置しサイ

ドウォールを形成するならばその後にこの孔の埋めこまれる導電性プラグの形成条件の自由度を大幅に拡大するとともに、比抵抗の低い導電性プラグをもった半導体装置が得られる。

【0129】すなわち、導電性プラグの埋め込みにはサイドウォールがない場合には400°C未満が要求され、これにて形成した導電性プラグの比抵抗が高くなったり不都合なことを生じる場合があったが、こうした問題はサイドウォール形成によって完全に解決することができる。

【0130】さらに、前記側壁に配置されたシリコン酸化膜、シリコン窒化膜あるいはその混合膜であるシリコンオキシナイトライド膜の少なくとも側壁に露出した非晶質弗化炭素膜に隣接する膜の組成が各々の化学量論比に較べてシリコン過剰とすることにより、非晶質弗化炭素膜とサイドウォールの密着性を向上でき、時にウエーハ周辺で起こるサイドウォールの剥離によるゴミの発生などの問題も解決する。

【0131】さらに、絶縁層が、炭素と弗素を主成分とする非晶質弗化炭素膜と、前記非晶質弗化炭素膜の少なくとも上面に形成されるシリコン酸化膜あるいはシリコン窒化膜あるいはシリコンオキシナイトライド膜を有し、絶縁層のシリコン酸化膜あるいはシリコン窒化膜あるいはシリコンオキシナイトライド膜における配線層間の電気的接続のための孔の開口断面積に比べて、非晶質弗化炭素膜における前記孔の開口断面積が大きく、絶縁層を貫通する孔内の側壁のうち、少なくとも側壁に露出した非晶質弗化炭素膜との界面に、シリコン酸化膜あるいはシリコン窒化膜あるいはシリコンオキシナイトライド膜が形成されているならば、サイドウォールによって開口断面積を縮小することなく、レジストパターンに則した安定で低抵抗の導電性プラグを形成することができる。

【0132】また、サイドウォールによる開口断面積の縮小を防ぐために、非晶質弗化炭素膜の少なくとも上面に形成されるシリコン酸化膜あるいはシリコン窒化膜あるいはシリコンオキシナイトライド膜の厚さよりも、孔内の側壁に形成されるシリコン酸化膜あるいはシリコン窒化膜あるいはシリコンオキシナイトライド膜の厚さの方を薄くすることによって効果がある。

【0133】さらに本発明の半導体装置を製造するにあたり、非晶質弗化炭素膜を含んだ絶縁層にあって非晶質弗化炭素膜の上面に密着性向上をもたらす酸化膜、窒化膜あるいはオキシナイトライド膜を形成し、配線層を埋め込んだりして凹凸の発生した非晶質弗化炭素膜表面を、凹部に存在する前記酸化膜、窒化膜あるいはオキシナイトライド膜を研磨の終了検知として研磨することにより再現性よく平坦化することができる。

【0134】本発明によれば、比誘電率の低い層間絶縁膜材料の導入による配線遅延時間の短縮やクロストーク

21

の軽減のみならず、多層絶縁プロセスの安定性、自由度あるいは再現性、層間の密着性あるいは導電性プラグなど諸特性についても向上した多層配線構造をもった半導体装置が実現する。

【図面の簡単な説明】

【図1】本発明の第一の実施例で得られる多層配線構造の完成断面図である。

【図2】図1で示した多層配線構造を形成する製造方法の主要製造工程での断面図である。

【図3】図1で示した多層配線構造を形成する製造方法の図2で示した製造工程に続く、主要製造工程での断面図である。

【図4】非晶質炭素膜の選択的酸素プラズマエッチングにおけるシリコンウェーハ設置電極に印加される負バイアスの大きさに対する膜厚方向でのエッティング速度を表わす。

【図5】本発明の第二の実施例で得られる多層配線構造の完成断面図である。

【図6】図5で示した多層配線構造を形成する製造方法の主要製造工程での断面図である。

【図7】図5で示した多層配線構造を形成する製造方法の図6で示した製造工程に続く、主要製造工程での断面図である。

【図8】図5で示した多層配線構造のプラグ部に変形をもたらす製造方法の主要製造工程での断面図である。

【図9】本図中断面構造で描かれたように絶縁された独立配線とシリコン基板との間の単位配線長あたりの容量の関係を示すグラフである。

* 【図10】本図中断面構造で描かれたように絶縁された樹の歯状に配置された複数配線における一配線とシリコン基板との間の単位配線長あたりの容量の関係を示すグラフである。

【図11】従来の多層配線の構成を示す図である。

【符号の説明】

11、21 シリコンウェーハ

12、231 最下層絶縁膜

2311、2313、2321、2323 シリコン酸化膜

141、142、2312、2322 非晶質炭素膜

131、271 最下層配線層

132、272 第2の配線層

133 第3の配線層

151、152、242 ピアホール

1511、1522 ピアプラグ

241 コンタクトホール

25 シリコン窒化膜

20 16 パッシベーション絶縁膜

251 サイドウォール

26 導電性膜

261 導電性プラグ

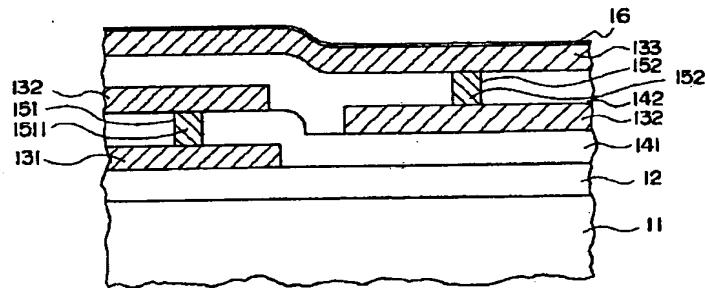
2313 酸化膜

23131 酸化膜底

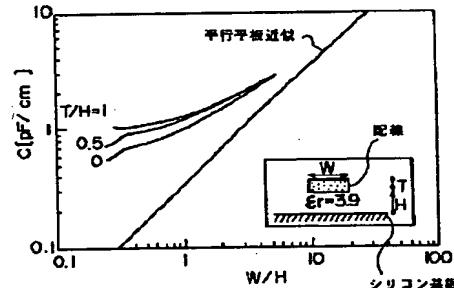
2411 コンタクトホールの底

232 第2の絶縁層

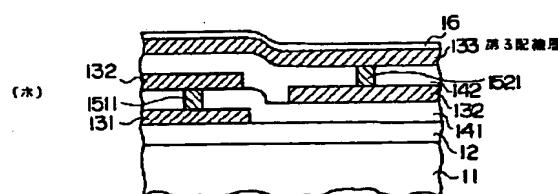
【図1】



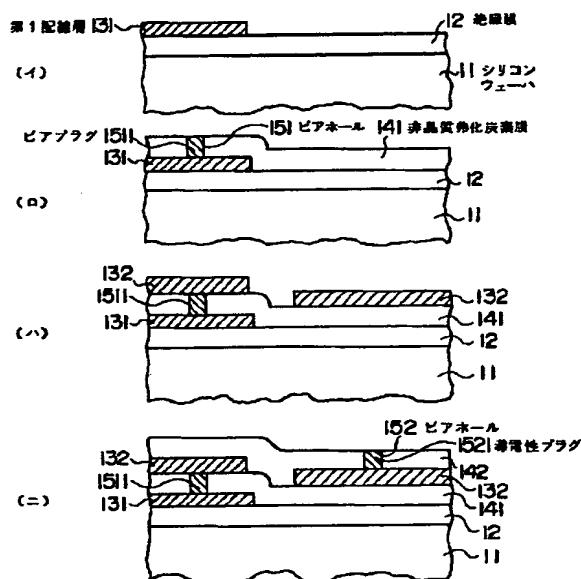
【図9】



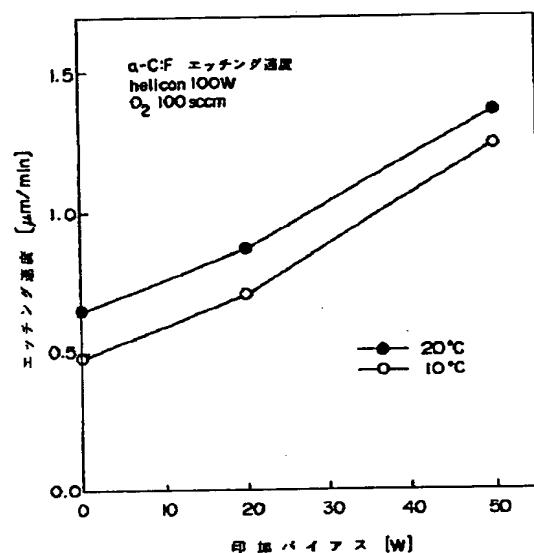
【図3】



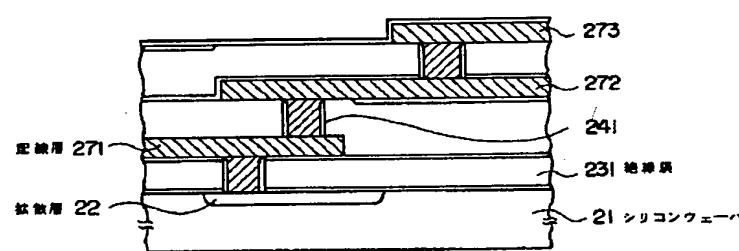
【図2】



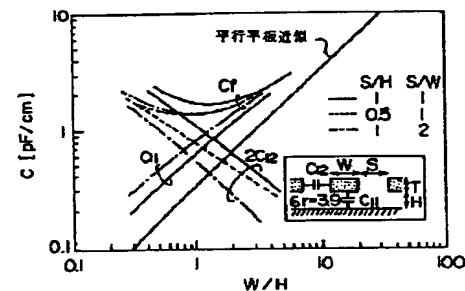
【図4】



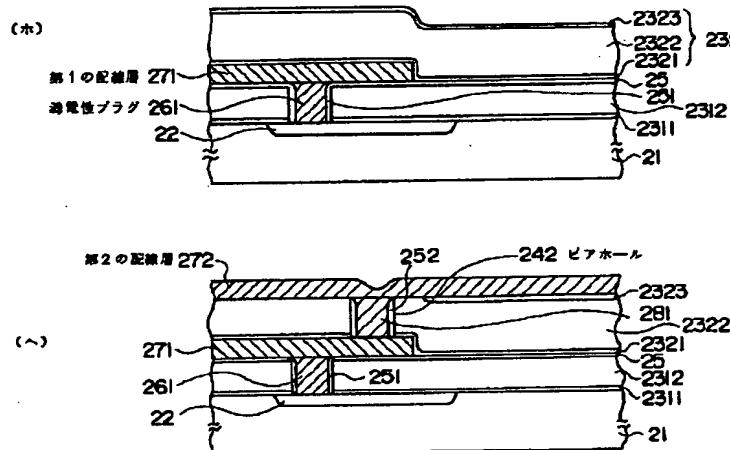
【図5】



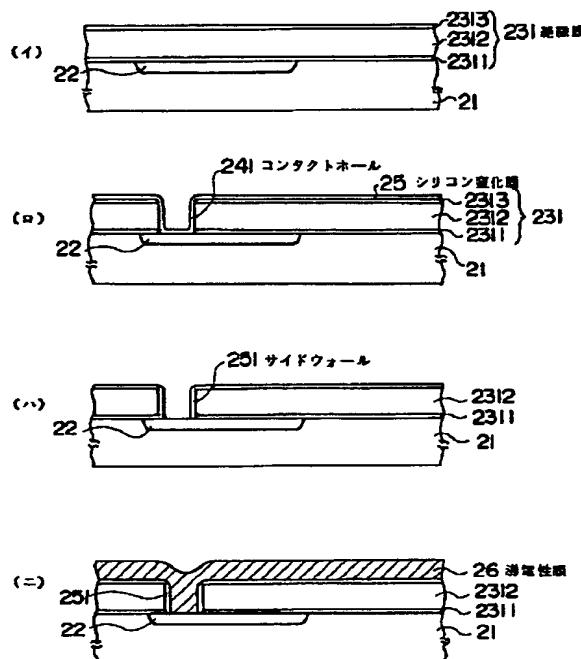
【図10】



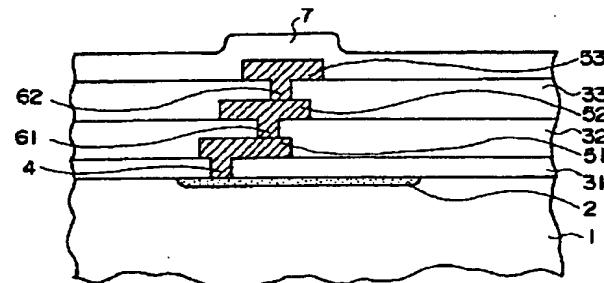
【図7】



【図6】

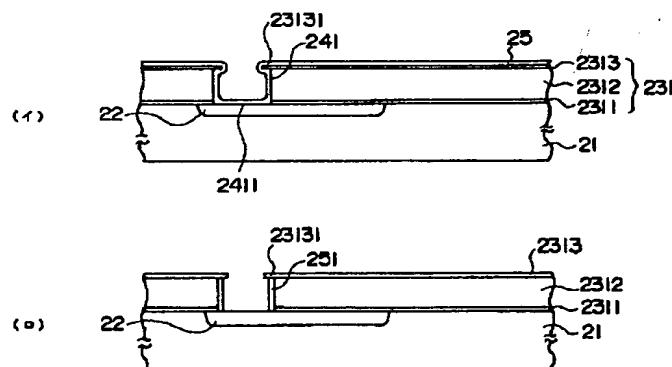


【図11】



多層記録の基本図

【図8】



フロントページの続き

(51)Int.C1.⁵

識別記号 庁内整理番号

F I

H01L 21/95

技術表示箇所

(72)発明者 辰巳 ▲徹▼

東京都港区芝五丁目7番1号 日本電気株
式会社内